

MANUFACTURE OF SEMICONDUCTOR DEVICE

IN TAKAHASHI KUNIHIRO
PA SEIKO INSTR INC, JP (CO 000232)
PI JP04025176. A 19920128 Heisei
AI JP1990-129767 (JP02129767 Heisei) 19900518
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: E. Sect.
No. 1198, Vol. 16, No. 188, P. 125 (19920507)
IC ICM (5) H01L029-784
ICS (5) H01L021-265; (5) H01L021-28; (5) H01L029-62
CC 42.2 ELECTRON - Solid state component
CT R097 ELECTRONIC MATERIAL - MOS (Insulated gate type element)
R100 ELECTRONIC MATERIAL - Ion implantation
AB PURPOSE: To restrain polycrystalline silicon grains from growing in a thermal process by a method wherein impurities such as nitrogen, fluorine, argon, silicon, germanium, or the like are introduced into polycrystalline silicon through an ion implantation method before P-type impurity ions are implanted.
CONSTITUTION: When a polycrystalline silicon 13 formed of P-type impurities is used as the gate electrode of a P-type MIS transistor, one or more elements selected from impurities such as nitrogen, fluorine, argon, silicon, germanium, and the like are introduced into the polycrystalline silicon 13 through an ion implantation method before P-type impurities such as boron or the like are introduced into the silicon 13. That is, by introducing the impurities concerned into the polycrystalline silicon 13, the polycrystalline silicon 13 grains are restrained from growing in a thermal process which is carried out for the formation of the P-type MIS transistor. By this setup, P-type impurities are prevented from diffusing along grains in polycrystalline silicon, so that a gate electrode stable in transistor characteristics can be obtained.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-25176

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月28日

H 01 L 29/784
21/265
21/28
29/62

3 0 1 A
G

7738-4M
7738-4M
8422-4M
7738-4M

H 01 L 29/78
21/265

3 0 1 G
P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-129767

⑰ 出 願 平2(1990)5月18日

⑱ 発 明 者 高 橋 邦 博 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

本P型MISトランジスタ(金属・絶縁膜・半導体トランジスタ)のゲート電極をP型不純物を導入した多結晶シリコンで形成する半導体装置の形成方法において、P型不純物をイオン注入あるいは化学的堆積法により多結晶シリコンに導入する前に、チン素、フッ素、アルゴン、シリコン、ゲルマニウム等の不純物の何れか1つ又は複数の不純物をイオン注入又は化学的堆積法により多結晶シリコン中へ導入することによって、半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関するものである。

(発明の概要)

P型MISトランジスタのゲート電極としてP型不純物から成る多結晶シリコンを使う場合、シリコン等のP型不純物を多結晶シリコンに導入する前に、チン素、フッ素、アルゴン、シリコン、ゲルマニウム等の何れか1つ又は複数の不純物をイオン注入あるいは化学的堆積法により多結晶シリコン中へ導入しておく。

多結晶シリコン中へこれらの不純物を導入すると、多結晶シリコン中へP型不純物を導入した後、MISトランジスタ形成までに係る熱工程による多結晶シリコンのグレインの成長が抑制される。この結果、多結晶シリコン中のグレインに沿うP型不純物の拡散が抑制され、P型不純物がMISトランジスタの絶縁膜を通過し、シリコン奥面にまで通ることが抑制される。その結果、スレッショルド電圧の変動、トランジスタ特性の不安定性のないP型不純物を導入した多結晶シリコンをゲート電極として用いたP型MISトランジスタを得ることができる。

〔従来の技術〕

P型不純物を含有した多結晶シリコンをMISトランジスタのゲート電極として使う場合、従来の多結晶シリコン中へP型不純物（最も一般的にはボロン）をイオン注入又は化学的堆積法で導入していた。導入後、MISトランジスタが形成されるまでに加熱処理の熱工程を経る。それらの熱工程により多結晶シリコンのグレインは成長し、大きいものはミクロン程度にまで成長する。

第2図は従来のP型不純物から成る多結晶シリコンをゲート電極とするMISトランジスタの断面図を示す。21はP型半導体シリコン基板、22はゲート酸化膜、23はゲート電極となる多結晶シリコン膜、24は多結晶シリコンのグレイン、25の点線はグレインの境界を示す。グレインが非常に大きく成長しているのが分かる。多結晶シリコン中へ導入された不純物は、熱工程により拡散する場合、多くはグレインの境界25に沿って拡散していく。クエンインが入さくなればなる程、クエンインの拡散は近い距離で

多結晶シリコンの上面から下面に到達し、不純物の多結晶シリコン中での拡散が容易となる。

又、MISトランジスタの代用的な構造である金属-酸化物-半導体(MOS)トランジスタの場合、ボロンは酸化物中でも拡散し、ゲート電極となる多結晶シリコン中にあるP型不純物のボロンは酸化物を透過し、第2図におけるシリコン表面23にまで容易に到達する。その結果、スレッショルド電圧が変動し易い、あるいは不安定なトランジスタ特性を持つMISトランジスタになるという欠点を持っていた。

〔発明が解決しようとする課題〕

前記した従来の欠点を改善するため、P型不純物のボロンが多結晶シリコン中で容易に拡散しないように、本発明はMISトランジスタが形成されるまでに経る多くの熱工程に於いても多結晶シリコンのグレインの成長を抑制することを目的としたものである。以下、図面を参照し、本発明の詳細を説明する。

〔課題を解決するための手段〕

- 3 -

MISトランジスタのゲート電極となる多結晶シリコン中にP型不純物をイオン注入あるいは化学的堆積法により多結晶シリコンに導入する前に、チタニウム、タンタル、アルゴン、シリコン、ゲルマニウム等の不純物の何れか一つ又は複数の不純物をイオン注入又は化学的堆積法により多結晶シリコン中へ導入する。

〔作用〕

MISトランジスタが形成されるまでに経る多くの熱工程によっても、それらの不純物を多結晶シリコン中へ導入することにより、多結晶シリコン中のグレインの成長を抑制することができる。その結果、多結晶シリコン中でのP型不純物ボロンの拡散を抑制し、更にゲート絶縁膜中を通過してMISトランジスタのチャネル領域へのボロンの侵入を防ぐことができる。

〔実施例〕

第1図(a)～(c)は、本発明の半導体装置の製造方法の工程例を示す。第1図(a)において11は半導体シリコン基板、12はゲート絶縁膜となる酸化物膜、

- 4 -

13はゲート電極となる多結晶シリコン膜を被覆する。まず多結晶シリコン膜13中へ窒素14のイオン注入を行う。イオン注入直後の窒素の分布が、ゲート酸化膜12やシリコン基板11には透しないようにする。次に第1図(b)に示すように、多結晶シリコンゲート電極をP型化するため、ボロン15をイオン注入する。更に、第1図(c)に示すようにフォトリソグラフィ工程により多結晶シリコンの一部をエッチングし、ゲート電極16を形成する。

なお、多結晶シリコン中へボロンをイオン注入する前に、イオン注入又は化学的堆積法で多結晶シリコン中へ導入する不純物も、前記した装置以外にチタニウム、タンタル、シリコン、ゲルマニウム等の何れか又はそれらの複数の組み合わせでも良い。

ボロンのイオン注入前、多結晶シリコン中に窒素、チタニウム、アルゴン等の不純物を導入すると、それらの不純物を導入しない場合におけるグレイン24（第2図）に比べ、トランジスタ形成までに経る熱工程による多結晶シリコンのグレイン17

(第1図)の成長は抑えられる。ドレイン17が小さいと、不純物の多結晶シリコンの拡散は抑えられる。このため、窒素やフッ素をボロンのイオン注入後に多結晶シリコン中へ導入しておくこと、熱工程による多結晶シリコン中のボロンの拡散を抑えられ、ひいてはゲート絶縁膜中を通過し、P型MISトランジスタのチャネル領域(第1図(18))へのボロンの拡散が抑制される。

(発明の効果)

以上、詳細に説明したように、本発明の半導体装置の製造方法においては、熱工程による多結晶シリコンのドレイン成長を抑え、ボロンの多結晶シリコン中の拡散を抑え、その結果、ボロンのゲート絶縁膜中での拡散も抑え、MISトランジスタのチャネル領域への侵入を防ぐ効果を有する。

このため、スレッシュホールド電圧の変動が少ない、しかも安定なトランジスタ特性を持つ、P型不純物から成る多結晶シリコンをゲート電極として持つP型MISトランジスタを得ることができ、多大な効果を持っている。

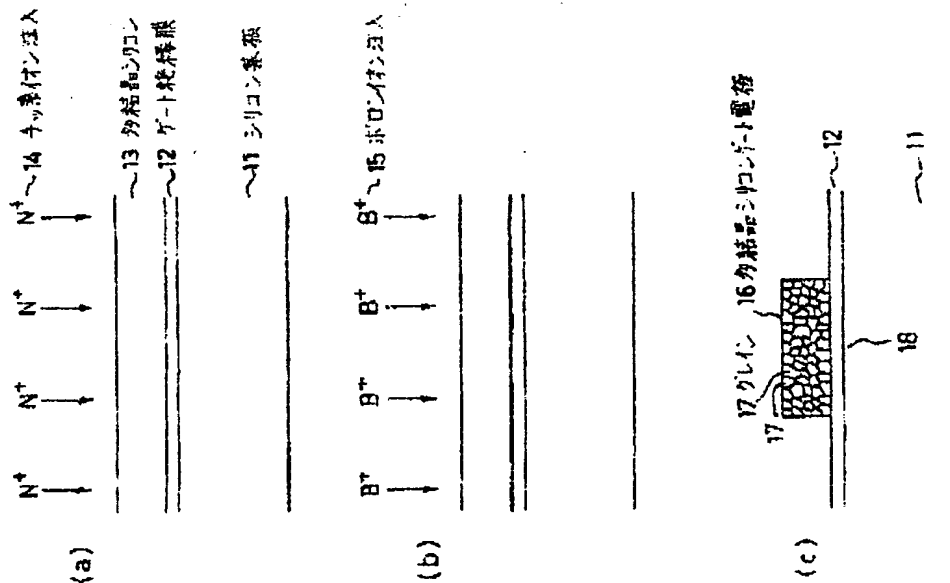
4. 図面の簡単な説明

第1図(1)〜(4)は本発明の半導体装置の製造方法を示す工程横断面図、第2図は従来の半導体装置の断面図である。

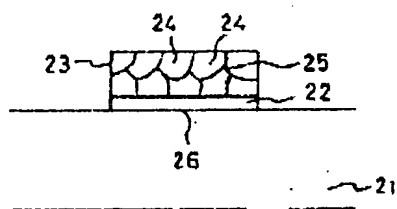
- 11・・・半導体基板
- 12・・・ゲート絶縁膜
- 13・・・多結晶シリコン
- 14・・・チャップイオン注入
- 15・・・ボロンイオン注入
- 17・・・ドレイン

以上

出願人 セイコー電子工業株式会社
代理人 弁理士 林 勉 之 郎



半導体装置の製造方法を示す工程横断面図
第1図



従来の半導体装置の断面図
第 2 図